

(11)Publication number :

2002-091625

(43)Date of publication of application :

29.03.2002

(51)Int.Cl.

G06F 1/24
G06F 11/14
G11B 20/10
H04L 12/28

(21)Application number : 2000-276711

(71)Applicant : SONY CORP

(22)Date of filing : 12.09.2000

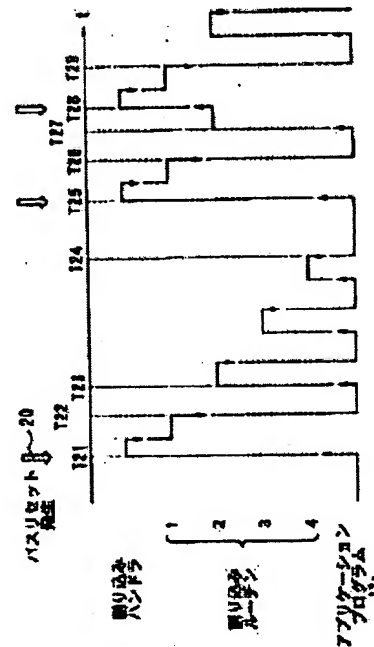
(72)Inventor : YAMAUCHI KOJI

(54) BUS RESET PROCESSING METHOD AND INFORMATION PROCESSOR AND RECORDING MEDIUM

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent processing performed when bus reset is generated from being abnormally stopped when bus reset is continuously generated.

SOLUTION: When bus reset is generated in a timing T25 during the performance of an application program 13a, an interruption handler is started, and a first interrupting routine is performed. In a timing T26, the execution of the first interrupting route is ended, and the performance of the application program 13a is resumed, and in a timing T27, the second interrupting route is performed. When bus reset is generated again in a timing T28, the interruption handler is started again, and the first interrupting routine is performed. In a timing T29, the performance of the application program 13a is resumed, and then the performance of each interrupting routine and the application program 13a is repeated, and the performance of the application program 13a is restored.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1.]In a bus reset processing method in information processing equipment to which an electronic device was connected via a predetermined bus, A bus reset processing method opening and performing for an interval two or more interruption routines which are divided for every predetermined processing and perform recognition processing of said electronic device, respectively if a bus reset signal is detected via said bus.

[Claim 2] A bus reset processing method according to claim 1 performing succeeding processing which was being performed at the time of detection of said bus reset signal while shifting to execution of said following interruption routine from an end of execution of each of said divided interruption routine.

[Claim 3] A bus reset processing method according to claim 1, wherein said each interruption routine is performed with a certain time interval.

[Claim 4] A bus reset processing method according to claim 1 characterized by performing again from initial processing of said interruption routine when said bus reset signal is again detected before all the processings by said interrupt handler were completed.

[Claim 5] A bus reset processing method according to claim 1, wherein said bus is a serial bus based on an IEEE1394 standard.

[Claim 6] In a bus reset processing method in information processing equipment to which an evaluation system of operation which an electronic device is connected via a predetermined bus, and performs evaluation processing of communication operation in said bus was connected via an interface of those other than said bus, If a bus reset signal is detected via said bus while performing communications processing which transmits data in which an operation situation of said bus is shown according to a transmission request signal from said evaluation system of operation, Two or more interruption routines which are divided for every predetermined processing and perform recognition processing of said electronic device, A bus reset processing method characterized by performing said communications processing again while opening and performing an interval, respectively and shifting to execution of said following interruption routine from an end of execution of each of said interruption routine.

[Claim 7] A bus reset processing method according to claim 6, wherein said each interruption routine is performed with a certain time interval.

[Claim 8] A bus reset processing method according to claim 6 characterized by performing again from initial processing of said interruption routine when said bus reset signal is again detected before all the processings by said interrupt handler were completed.

[Claim 9] A bus reset processing method according to claim 6, wherein said bus is a serial bus based on an IEEE1394 standard.

[Claim 10] A bus reset processing method according to claim 6, wherein said interface is an interface based on a RS-232C standard.

[Claim 11] In information processing equipment to which an electronic device was connected via a predetermined bus, if a bus reset signal is detected via said bus, A recognition processing means which divides recognition processing of said electronic device connected to said bus for every predetermined processing, and performs it, Until it starts execution of said following recognition processing, after performing each recognition processing by said recognition processing means with a certain time interval and completing execution of each of said recognition processing, Information processing equipment having a control means controlled to perform processing currently performed at the time of detection of said bus reset signal.

[Claim 12] In a recording medium which recorded a bus reset processing program in information processing equipment to which an electronic device was connected via a predetermined bus and in which computer reading is possible, If a bus reset signal is detected via said bus, recognition processing of said electronic device connected to said bus, Until it starts execution of said following recognition processing, after performing each recognition processing by recognition processing means performed by dividing for every predetermined processing, and said recognition processing means with a certain time interval and completing execution of each of said recognition processing, A recording medium which recorded a bus reset processing program considering it as a control means controlled to perform processing currently performed at the time of detection of said bus reset signal, and operating a computer and in which computer reading is possible.

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]The bus reset processing method in the information processing equipment to which the electronic device was connected to this invention via the predetermined bus, And the evaluation system of operation which an electronic device is connected via a predetermined bus, and performs evaluation processing of the communication operation in this bus especially is related with the bus reset processing method in the information processing equipment connected via the interface of those other than this bus about this information processing equipment.

[0002]

[Description of the Prior Art]In recent years, the necessity of transmitting data with the big amount of information of dynamic image data, voice data, etc. to real time has arisen by the appearance of digital video equipment for home use, etc. As a standard of the serial interface which can transmit such a lot of data at high speed, IEEE(the Institute of Electrical and Electronic Engineers) 1394 interface is known. This IEEE1394 interface is widely available to connection between home electronics, such as digital video equipment including the existing peripheral equipment for personal computers, the internal bus of LAN and a personal computer, etc.

[0003]In the network system constituted using an IEEE1394 serial bus (it is hereafter called 1394 buses for short), it is connected with the twisted-pair cable for 1394 buses between each apparatus (node). Each node has ID, respectively and constitutes one network by recognizing ID mutually in the range connected by 1394 bus. It has the function for 1394 buses to correspond to a plug-and-play function, to recognize a node automatically only by connecting a cable to a node, and to recognize a junction state. For example, or a certain node was removed from the network, in addition, at the time of ***, the configuration information on the network before this is reset automatically (bus reset), and a new network is newly reconstructed. Specifically, the recurrence line of ID is carried out to all the connected nodes. With this function, the composition of that occasional network can always be set up and can be recognized.

[0004]Here, the processing at the time of the bus reset in the node connected by 1394 bus is explained. The flow chart of the processing at the time of the bus reset in a node is shown in drawing 5.

[0005]At the start time of the flow chart shown in drawing 5, the bus reset signal is continuously monitored by the node. Here, when increase and decrease arise in a node number, for example by connection of a node, separation, one of a power supply, OFF, etc. and network composition has change, a bus reset signal is transmitted by the node which detected change of this network composition. The transmitted bus reset signal is detected in Step S501. In a node, if a bus reset signal is received in a physical layer, while transmitting generating of bus reset to a link layer, a bus reset signal is relayed to other connected nodes. If such processing is performed in each node and a bus reset signal is eventually detected in all the nodes, reconstruction processing of the network from the next will be started.

[0006]In Step S502, child-parent relationship is declared between the nodes linked directly mutually. In each node, a declaration to which the node whose child-parent relationship is an

undefined among other nodes connected considers other nodes as parents only in the case of one is made. From the leaf node whose number is one, such a declaration is first made by the node actually connected, and in other nodes. The number of the undefined nodes connected as child-parent relationship is determined decreases, and the same child-parent relationship is declared to the undefined node which remained when this number was set to 1. In Step S503, as a result of making a declaration of child-parent relationship in each node, the only node from which the connected undefined node was set to 0, i.e., the node which became parents of all the nodes who have connected, is determined as a root node. In Step S504, ID is set up by the root node to each node. Setting out of ID is first performed about a leaf node, and it is carried out about a branch node and a root node after this. At this time, the numerical value of ID is set as a descending order, and ID of the youngest numerical value is given to a root node. If ID is set as all the nodes, it will mean that new network composition was recognized about all the nodes, bus reset processing will be completed, and it will be in the executive state of a bus reset signal again.

[0007]

[Problem to be solved by the invention]By the way, in each node, if a bus reset signal is detected, an interrupt handler will be started, and the interruption routine which reconstructs a network which was mentioned above will be read and performed. When this bus reset signal is detected and another processing is performed, the processing till then is interrupted by execution of a interruption routine, and the original processing is resumed after bus reset processing is completed. For example, when a certain application program is executed on CPU and a bus reset signal is detected, an interrupt occurs in CPU and execution of an application program stops. Here, drawing 6 is a time chart which shows operation of CPU at this time.

[0008]The processing performed by CPU in accordance with the passage of the time t is shown by drawing 6. The arrow 60 means generating of bus reset. In this CPU, if the application program is executed and bus reset occurs in the timing T61, a bus reset signal is detected, an interrupt handler is started, a interruption routine will be read and timing T61 will be performed. After reconstruction of a network which was mentioned above by this interruption routine is performed and all the processings are completed in the timing T62, CPU resumes execution of an application program.

[0009]However, when bus reset occurs again like the timing T63, and 64 and 65 before execution of a interruption routine was completed, interruption arises at every time and a interruption routine is performed. For this reason, execution of an application program cannot be resumed. A system which operates with an application program at this time will be in a halt condition, after execution of an application program is interrupted, when execution is not resumed beyond as for fixed time, a timeout error occurs and operation of a system may be ended compulsorily, for example. RS(Recommended Standard)-232C etc., Other PCs (personal computer) are connected using an interface of those other than an IEEE1394 standard, and for example, for evaluation of 1394 serial buses of operation, When evaluation application is performed on connected PC, it communicates with this PC and transmitting and receiving processing of data is being performed, it will be in a state when bus reset occurred, as if communication with this PC was interrupted and a system by the side of application failed.

[0010]This invention is made in view of such problem, and is a thing.

The purpose is to provide a bus reset processing method for which it can be prevented processing currently performed at the time of bus reset generating carrying out an abnormal stop, when ** occurs.

[0011]Other purposes of this invention are to provide information processing equipment for which it can be prevented processing currently performed at the time of bus reset generating carrying out an abnormal stop, when bus reset occurs continuously.

[0012]

[Means for solving problem]In a bus reset processing method in information processing equipment to which an electronic device was connected via a predetermined bus in order to solve an aforementioned problem in this invention, When a bus reset signal is detected via said

bus, a bus reset processing method opening and performing for an interval two or more interruption routines which are divided for every predetermined processing and perform recognition processing of said electronic device, respectively is provided.

[0013]In such a bus reset processing method, processing performed when bus reset occurs is divided into two or more interruption routines, and each opens an interval and is performed. When other processings are performed at the time of bus reset generating, this processing is interrupted by bus reset generating, but former processing can be performed succeeding at time from an end of processing of each divided interruption routine to execution of the following interruption routine. By this, processing interrupted by bus reset generating becomes possible [preventing carrying out an abnormal stop].

[0014]In the bus reset processing method in the information processing equipment to which the evaluation system of operation which an electronic device is connected via a predetermined bus, and performs evaluation processing of operation of said bus in this invention was connected via the interface of those other than said bus, If a bus reset signal is detected via said bus while performing the communications processing which transmits the data in which the operation situation of said bus is shown according to the transmission request signal from said evaluation system of operation, Two or more interruption routines which are divided for every predetermined processing and perform recognition processing of said electronic device, While opening and performing an interval, respectively and shifting to execution of said following interruption routine from the end of execution of each of said interruption routine, the bus reset processing method performing said communications processing again is provided.

[0015]In such a bus reset processing method, the processing performed when bus reset occurs is divided into two or more interruption routines, and each opens an interval and is performed. Although the communications processing with an evaluation system of operation is interrupted by bus reset generating, communications processing can be performed again at the time from the end of processing of each divided interruption routine to execution of the following interruption routine. It becomes possible to prevent communications processing carrying out an abnormal stop by bus reset generating by this.

[0016]In the information processing equipment to which the electronic device was connected via the predetermined bus in this invention, The recognition processing means which will divide the recognition processing of said electronic device connected to said bus for every predetermined processing, and will perform it if a bus reset signal is detected via said bus, Until it starts execution of said following recognition processing, after performing each recognition processing by said recognition processing means with a certain time interval and completing execution of each of said recognition processing, The information processing equipment having a control means controlled to perform processing currently performed at the time of detection of said bus reset signal is provided.

[0017]In such an information providing device, by a recognition processing means, the recognition processing performed when bus reset occurs is divided into plurality, and each is performed for every fixed time. When other processings are performed at the time of bus reset generating, this processing is interrupted by bus reset generating, but former processing can be succeeding performed by a control means at the time from the end of execution of each divided recognition processing to the execution start of the next recognition processing. By this, the processing interrupted by bus reset generating becomes possible [preventing carrying out an abnormal stop].

[0018]

[Mode for carrying out the invention]Hereafter, an embodiment of the invention is described with reference to Drawings. The outline block diagram of the information processing equipment which can apply the bus reset processing method of this invention is shown in drawing 1.

[0019]The interface (I/F) 11 for connecting with the bus 3 the information processing equipment 1 shown in drawing 1, and performing data communications, The recognition processing means 12a which will perform recognition processing of the apparatus (node) connected to the bus 3 if a bus reset signal is detected via the bus 3, It is constituted by CPU12 which realizes the function as the control means 12b which controls execution of the recognition processing

divided into plurality, and other processings, and manages control of the whole equipment, and the memory storage 13 by which the application program etc. were stored. This information processing equipment 1 is computer paraphernalia which realize that processing by executing various kinds of processing programs stored in the memory storage 13 grade by CPU12. The recognition processing means 12a and the control means 12b are stored in the memory storage 13, ROM which is not illustrated, etc. as a processing program for performing these processings, for example, and when CPU12 performs, they are realized. The information processing equipment 1 may possess the communicative interface 14 using a communication method which is different in the bus 3. This interface 14 is based for example, on the RS-232C standard, and is connected to the personal computer (PC) 4. This interface 14 and personal computer 4 are mentioned later.

[0020]Node ID is set to each node of electronic device 2 grade which the bus 3 is an IEEE1394 serial bus, for example, and was connected to the bus 3, If a configuration change of a connected node breaks out, the setting out till then will be reset automatically, a re set of node ID is performed, and it has the bus reset function to have a new appreciation of network composition in each node. If a bus reset signal which detected first a flow of recognition processing of a node at the time of this bus reset is relayed to other nodes and a bus reset signal is detected in all the nodes next, child-parent relationship will be declared between nodes linked directly mutually. In each node, a node whose child-parent relationship is an undefined among other nodes connected only in the case of one, A declaration which makes other nodes parents is made and such a declaration is made by all the nodes excluding a root node from a leaf node the number of nodes actually connected first is [leaf node] one. At this time, the only node which became parents of all the nodes who have connected with self eventually is determined as a root node. Next, after ID is set up by this root node to each node and setting out to all the nodes is completed, it means that the new network composition by the bus 3 was recognized about all the nodes, and bus reset processing is completed.

[0021]In the information processing equipment 1, if bus reset occurs, a bus reset signal will be detected by the interface 11, and the recognition processing of the node by the recognition processing means 12a will be started. The interruption routine which specifically performs recognition processing memorized by ROM etc. is read, and it performs in CPU12. When bus reset occurs, in CPU12 By the way, for example, execution of the application program 13a, etc., Since interruption arises in CPU12 with detection of a bus reset signal and CPU12 is occupied by execution of a interruption routine when other processings are performed, former processing is interrupted. For this reason, the recognition processing means 12a divides recognition processing which was mentioned above for every predetermined processing by which execution is ended for a short time, opens an interval, and performs it in order. Each divided recognition processing is read and performed by CPU12 for every fixed time, for example by execution of a timer hair drier, etc.

[0022]Here, drawing 2 is a time chart which shows operation of CPU12 when bus reset occurs. The operation about the case where bus reset occurs is shown by drawing 2 in accordance with the passage of the time t as an example during execution of the application program 13a. The arrow 20 means generating of bus reset. If the application program 13a is executed and bus reset generates the timing T21 in the timing T21 in this CPU12, A bus reset signal is detected, an interrupt handler is started, and the interruption routine which performs network recognition processing is read and performed. The bus reset processing routine shall be divided into four here. In the timing T22, an end of execution of the 1st interruption routine will rerun processing from the manipulation routine of the application program 13a which existed to the timing T21 in the middle of execution. In the timing T23, the 2nd interruption routine is read and performed shortly and execution of the application program 13a is interrupted. In [the 2nd interruption routine, the application program 13a, the 3rd interruption routine, the application program 13a, and the 4th interruption routine are performed in order in a similar manner hereafter, and] the timing T24, The recognition processing of the node by a interruption routine is completed, and the application program 13a is executed again.

[0023]Thus, when the application program 13a is executed at the time of bus reset generating, It

is controlled by the control means 12b so that recognition processing by the recognition processing means 12a divided into plurality is performed in order and the application program 13a is executed between each recognition processing. The application program 13a currently executed till then also during recognition processing by bus reset generating by this becomes possible [shifting to the next processing].

[0024]Next, operation of CPU12 at the time of generating continuously at an interval with short bus reset is explained. In drawing 2, if bus reset occurs in the timing T25 when the application program 13a is executed, a bus reset signal will be detected, an interrupt handler will be started, and the 1st interruption routine will be read and performed. In the timing T26, an end of execution of the 1st interruption routine will resume execution of the application program 13a. In the timing T27, the 2nd interruption routine is read and performed shortly. Here, when bus reset occurs again to the timing T28, an interrupt handler is started again and the 1st interruption routine is performed. Execution of the 1st interruption routine is completed in the timing T29, The application program 13a is executed, and henceforth, execution of each interruption routine and the application program 13a is repeated similarly, and it returns to execution of the usual application program 13a after an end of recognition processing.

[0025]Thus, even when bus reset occurs again before recognition processing of a node by a interruption routine was completed, the application program 13a is certainly executed between recognition processings divided into plurality by the control to execution of a routine by the control means 12b. For this reason, even when bus reset occurs continuously before all the recognition processings were completed. It can prevent the application program 13a currently executed till then not being in a long stoppage state, and becoming possible to shift to the next processing, for example, producing a timeout error, and execution of the application program 13a carrying out an abnormal stop.

[0026]By the way, processing at the time of such bus reset is applicable during communications processing with other apparatus. If it returns and explains to drawing 1, the information processing equipment 1 shall possess the interface 14 using a communication method which is different in the bus 3, and the external personal computer 4 shall be connected via this interface 14. In the personal computer 4, an operation situation of a node connected to the interface 11 and the bus 3 of the information processing equipment 1 is supervised, When an evaluation program which displays and evaluates these data is executed, in the information processing equipment 1. Data of a Request to Send from the personal computer 4 is received, according to this, the interface 11 holds by processing of CPU12, or various kinds of data to receive is read, and communications processing which transmits to the personal computer 4 is performed. Data transmitted to the personal computer 4, For example, it is the number of a node, register data of the interface 11, the contents of commo data, etc. which are connected to the bus 3, and a situation of the interface 11 is displayed in real time in the personal computer 4 using a displaying means which receives these data, for example, is not illustrated.

[0027]In such a system, since the data displayed in the personal computer 4 is updated in real time, as for the personal computer 4 and the information processing equipment 1, communication needs to be performed in detail. When bus reset occurs by the node connected to the bus 3 by such a system, It becomes possible to perform communications processing with the personal computer 4 between execution of each divided interruption routine for node recognition processings like the case under execution of the application program 13a mentioned above. Therefore, also when bus reset occurs continuously before all the recognition processings were completed, communications processing does not stop by execution of a interruption routine for a long period of time, and a display carries out an abnormal stop in the personal computer 4 side, It will not be in the state where it seems that the system failed.

[0028]Since recognition of the connected node is impossible until all the recognition processings by a interruption routine are completed when communications processing is performed and bus reset occurs between the nodes of electronic device 2 grade, for example, it was connected to the bus 3, communications processing cannot be resumed. However, it is possible to perform processing for displaying between execution of the divided interruption routine with the display device which does not illustrate that it is during bus reset processing, for example etc. at

CPU12. By this, communications processing with the electronic device 2 is stopping, and the user of the information processing equipment 1 becomes possible [recognizing that it is what the cause depends on bus reset generating].

[0029]Next, bus reset processing in this system is explained using an assessment system of the bus 3 by which an operation situation in the bus 3 is supervised and evaluated as a concrete working example of this invention of operation. An example of outline composition of an assessment system of operation is shown in drawing 3.

[0030]The target device 5 to which the electronic device 2a and 2b were connected to the assessment system 10 of operation via the IEEE1394 serial bus (it is hereafter called 1394 buses for short) 3a. It is constituted by the personal computer (PC) 4 connected with the target device 5 using communication interfaces other than an IEEE1394 standard. This assessment system 10 of operation estimates possible by executing an evaluation program of operation in the personal computer 4 by controlling communications processing with the 1394 buses 3a in the target device 5, and supervising an operation situation. Although connection between the target device 5 and the personal computer 4 uses a communication interface based on a RS-232C standard as an example here, it is not limited to this.

[0031]The IEEE1394 interface (it is hereafter called 1394 interfaces for short) 51 which connects the target device 5 to the 1394 buses 3a, and transmits and receives data, ROM53 in which various kinds of control programs which operate CPU52 and CPU52 which manage control of the target device 5 were stored. It is constituted by RAM54 CPU52 performs various kinds of processings, and also required data, a program, etc. are suitably remembered to be, and the RS-232C interface 55 which connect with the RS-232C cable 6, and transmits and receives data. This target device 5 by executing a control program stored in ROM53 by CPU52. It is information processing equipment which processes communicating with an external instrument via the 1394 interfaces 51, and the RS / 232 C interfaces 55 etc., For example, they are computer paraphernalia, such as home electronics, such as digital video equipment and an optical disk unit, a set top box which controls these integrative, a personal computer, etc.

[0032]The port 51a which the 1394 interfaces 51 are realized by layer structure, and possesses a connection connector of the 1394 buses 3a. It is constituted by PHY(Physical Layer Protocol) 51b which performs encoding and decoding of an input output signal, and LINK51c which performs transmission and reception of packet data. PHY51b encodes packet data supplied from LINK51c, and transmits to the port 51a while it decodes packet data received via the 1394 buses 3a and the port 51a and outputs them to LINK51c. LINK51c packet-izes send data and outputs it to PHY51b while it extracts data contained in packet data supplied from PHY51b and outputs this to CPU52. The electronic device 2a and 2b which are connected via the port 51a. For example, home electronics, such as digital video equipment and an optical disk unit, a set top box which controls these integrative, It is computer paraphernalia, such as computer-related peripherals, such as a printer, and a personal computer, etc., and a communication interface in which all were based on an IEEE1394 standard is provided.

[0033]CPU41 in which the personal computer 4, on the other hand, manages control of the personal computer 4, ROM42 in which various kinds of control programs which operate CPU41 were stored, RAM43 CPU41 performs various kinds of processings, and also required data, a program, etc. are suitably remembered to be, The RS-232C interface 44 which connects with the RS-232C cable 6, and transmits and receives data, It is constituted by the hard disk 46 which are the monitor 45 which displays various kinds of data received from the target device 5, and an auxiliary storage unit with which the various processing programs and data of the evaluation program of the 1394 buses 3a of operation, etc. are stored.

[0034]By executing the evaluation program of the 1394 buses 3a stored in the hard disk 46 of operation by CPU41, the personal computer 4 communicates with the target device 5, and controls the communications processing through the 1394 buses 3a by the 1394 interfaces 51. This receives the data of the number of devices, such as register data in the target device 5, the electronic device 2a connected to the 1394 buses 3a, 2b, a communication content with these devices, etc. in the personal computer 4. The GUI (Graphical User Interface) picture in which data-transmission-and-reception operation with the target device 5 is possible is expressed as

the monitor 45 with the received data from such a target device 5. Communication is performed in detail in the target device 5, and the contents of the received data in the monitor 45. It is updated by real time according to the communication state through the 1394 buses 3a in the target device 5, and the user can supervise the communication state of the 1394 buses 3a using the personal computer 4, and can evaluate this.

[0035]In the target device 5, it communicates with the personal computer 4 in detail via the RS-232C interface 55. Communication using the 1394 buses 3a is controlled by executing a communication control program of the 1394 buses 3a stored in ROM53 by CPU52 based on a control signal transmitted from the personal computer 4. In the 1394 interfaces 51, based on a data transmission request from the personal computer 4, data about an own transmitting and receiving condition or a junction state with other devices is outputted by control by CPU52, and these data is transmitted to the personal computer 4.

[0036]If bus reset occurs by change of network composition in the 1394 buses 3a here, An interrupt handler stored in ROM53 starts the target device 5, a bus reset processing program is executed by CPU52, recognition processing of a node on the 1394 following buses 3a is performed, and a network is reconstructed. That is, by bus reset generating, if a bus reset signal is transmitted from the 1394 buses 3a, CPU52 will be relayed to other devices (node) connected while receiving this. If a bus reset signal is detected in all the nodes next, child-parent relationship will be declared between nodes linked directly mutually. In each node, a node whose child-parent relationship is an undefined among other nodes connected only in the case of one, A declaration which makes other nodes parents is made and such a declaration is made by all the nodes excluding a root node from a leaf node the number of nodes actually connected first is [leaf node] one. At this time, the only node which became parents of all the nodes who have connected with self eventually is determined as a root node. Next, this root node communicates with each node, and sets up ID. After setting out to all the nodes is completed, it means that it had a new appreciation of network composition on the 1394 buses 3a, and processing to bus reset is completed.

[0037]While a interruption routine by such a bus reset processing program is performed, communication with the personal computer 4 stops temporarily. In the assessment system 10 of operation, for every predetermined processing, this bus reset processing program is divided into two or more interruption routines, and by an interrupt handler. It controls so that execution of a communications processing routine with the personal computer 4 is resumed between execution of each interruption routine. An interrupt handler reads and performs each interruption routine for every fixed time. When bus reset occurs continuously in the 1394 buses 3a by this before all the bus reset processings were completed, Renewal of data of a communication state displayed on the monitor 45 of the personal computer 4 stops, and it avoids that the assessment system 10 of operation will be in an abnormal-stop state.

[0038]Here, a flow chart of operation in the target device 5 when bus reset occurs is shown in drawing 4. In Step S401, by CPU52, arbitrary communications processing routines by a communication control program with the personal computer 4 are performed, and it is communicating based on a control signal from the personal computer 4. A bus reset signal is continuously monitored via the 1394 interfaces 51 with this. In Step S402, a bus reset signal is received from the 1394 buses 3a. In Step S403, CPU52 starts an interrupt handler and recognition processing of a node is started. Reading processing of a interruption routine which performs recognition processing of a node by an interrupt handler as $n=0$ here is initialized. Here, a interruption routine shall be divided into a stage. In Step S404, it is considered as $n=n+1$, the n -th interruption routine that performs recognition processing of a node is read in Step S405, and this is performed. In Step S406, after processing by the n -th interruption routine is completed, execution is resumed from a communications processing routine currently performed at the time of bus reset signal reception of Step S402, and communications processing with the personal computer 4 is performed. After transmitting first data which notifies bus reset generating to the personal computer 4 at this time, a communications processing routine may be performed.

[0039]In Step S407, if a bus reset signal is again received at the time of execution of this

communications processing, it will return to Step S403, an interrupt handler will be started again, and recognition processing of a node will be performed from the start. When a bus reset signal is not received at the time of Step S407, it progresses to Step S408 and it is judged whether n is more than the number of partitions a of an interruption routine. Since all interruption routines are not completed in $n < a$, progress to Step S404 and 1 is added to the value of n . Execution of the interruption routine of Step S405 – the following stage in 407, resumption of execution of a communications processing routine with the personal computer 4, and detection processing of a bus reset signal are performed. When these processings are repeated until the a -th interruption routine was performed in Step S405, and it becomes $n \geq a$ in Step S408, It means that all the recognition processings of the node by interruption routine execution were completed, and progresses to Step S409, and a communications processing routine continues and is performed.

[0040]As mentioned above, in the node recognition processing at the time of bus reset generating in the assessment system 10 of the 1394 above-mentioned buses 3a of operation. Communications processing with the personal computer 4 is certainly performed from the end of execution of each interruption routine divided into plurality before the execution start of the following interruption routine. For this reason, when bus reset occurs continuously before all the recognition processings of the node by a interruption routine were completed, Also during execution of the recognition processing of a node, communications processing with the personal computer 4 is continued, and the data of the communication state in the 1394 buses 3a displayed on the monitor 45 of the personal computer 4 continues being updated. In the personal computer 4, communication with the target device 5 carries out an abnormal stop over a long time, and this enables it to prevent being in a system breakdown state. By being able to transmit the data which notifies bus reset generating to the personal computer 4 using between each interruption routine execution, and displaying this data on the monitor 45, The user of the personal computer 4 becomes possible [recognizing clearly that this cause is bus reset generation processing], even if a temporary stop of communication with the target device 5 and the fall of a data update rate arise.

[0041]The above-mentioned contents of bus reset processing can be described to the program recorded on the recording medium which can be read by computer. And the above-mentioned processing is realized by the computer by executing this program by computer. As a recording medium which can be read, there are a magnetic recording medium, semiconductor memory, etc. by computer. . In circulating a commercial scene, store and circulate a program to portability type recording media, such as CD-ROM and a floppy (registered trademark) disk. Or it stores in the storage equipment connected via the network, and can also transmit to other computers through a network. When performing by computer, the program is stored in the hard disk drive in a computer, etc., and it loads to main memory and performs.

[0042]

[Effect of the Invention]As explained above, in the bus reset processing method of this invention in the information processing equipment to which the electronic device was connected via the predetermined bus, the processing performed when bus reset occurs is divided into two or more interruption routines, and each opens an interval and is performed. When other processings are performed at the time of bus reset generating, this processing is interrupted by bus reset generating, but former processing can be performed succeedingly at the time from the end of processing of each divided interruption routine to execution of the following interruption routine. By this, the processing interrupted by bus reset generating becomes possible [preventing carrying out an abnormal stop].

[0043]The evaluation system of operation which an electronic device is connected via a predetermined bus, and performs evaluation processing of the communication operation in this bus in the bus reset processing method of this invention in the information processing equipment connected via the interface of those other than this bus. The processing performed when bus reset occurs is divided into two or more interruption routines, and each opens an interval and is performed. Although the communications processing with an evaluation system of operation is interrupted by bus reset generating, communications processing can be performed again at the time from the end of processing of each divided interruption routine to execution of the following

interruption routine. It becomes possible to prevent communications processing carrying out an abnormal stop by bus reset generating by this.

[0044]In the information providing device of this invention, by a recognition processing means, the recognition processing performed when bus reset occurs is divided into plurality, and each is performed for every fixed time. When other processings are performed at the time of bus reset generating, this processing is interrupted by bus reset generating, but former processing can be succeedingly performed by a control means at the time from the end of execution of each divided recognition processing to the execution start of the next recognition processing. By this, the processing interrupted by bus reset generating becomes possible [preventing carrying out an abnormal stop].

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a figure showing the outline composition of the information processing equipment which can apply the bus reset processing method of this invention.

[Drawing 2]It is a time chart which shows operation of CPU when bus reset occurs.

[Drawing 3]It is a figure showing the example of outline composition of an assessment system of operation.

[Drawing 4]It is a flow chart which shows the operation in a target device when bus reset occurs.

[Drawing 5]It is a flow chart which shows the processing at the time of the bus reset in a node.

[Drawing 6]It is a time chart which shows operation of CPU when a bus reset signal is detected at the time of execution of an application program.

[Explanations of letters or numerals]

1 [.... IEEE1394 serial bus,] Information processing equipment, 2 and 2a, 2b An electronic device, 3 A bus, 3a 4 A personal computer, 5 A target device, 6 RS-232C cable, 10 An assessment system of operation, 11 An interface, 12 CPU, 12a A recognition processing means, 12b A control means, 13 Memory storage, 13a An application program, 14 Interface, 41 [.... RS-232C interface,] CPU, 42 ROM, 43 RAM, 44 45 [.... A port, 51 b....PHY, 51 c....LINK, 52 / CPU, 53 / ROM, 54 / RAM, 55 / RS-232C interface] A monitor, 46 A hard disk, 51 An IEEE1394 interface, 51a

[Translation done.]

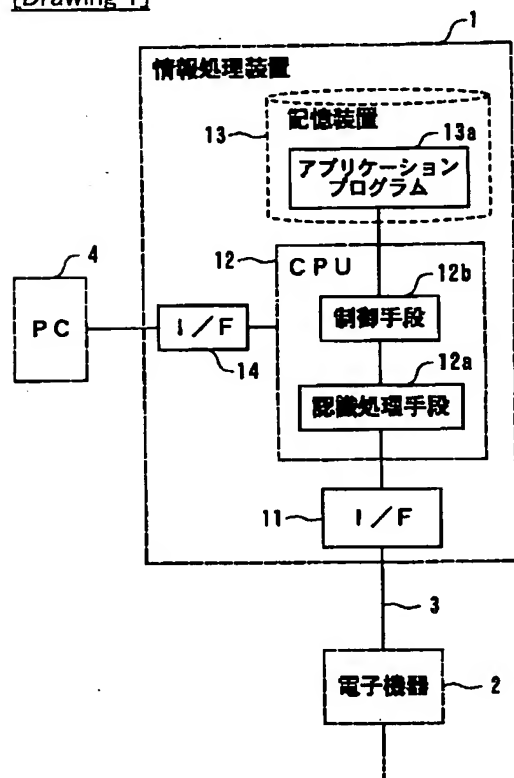
*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

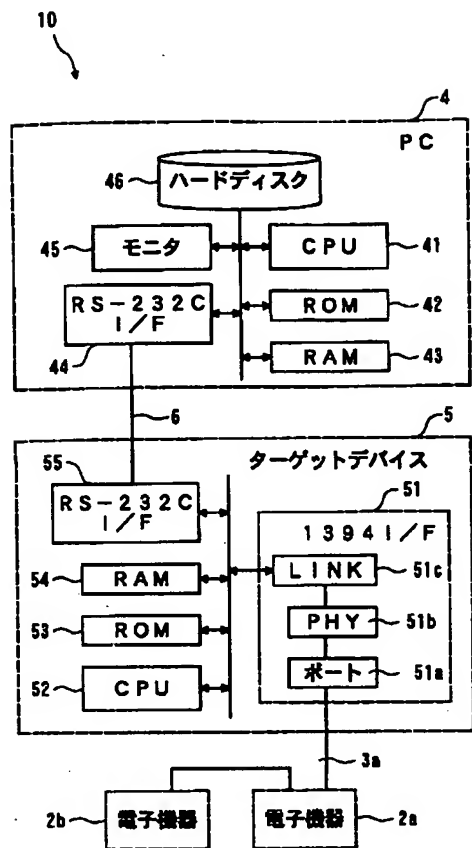
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

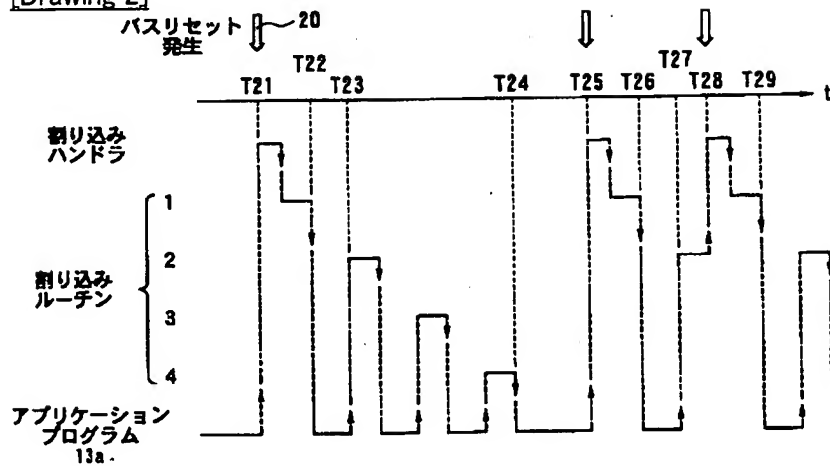
[Drawing 1]



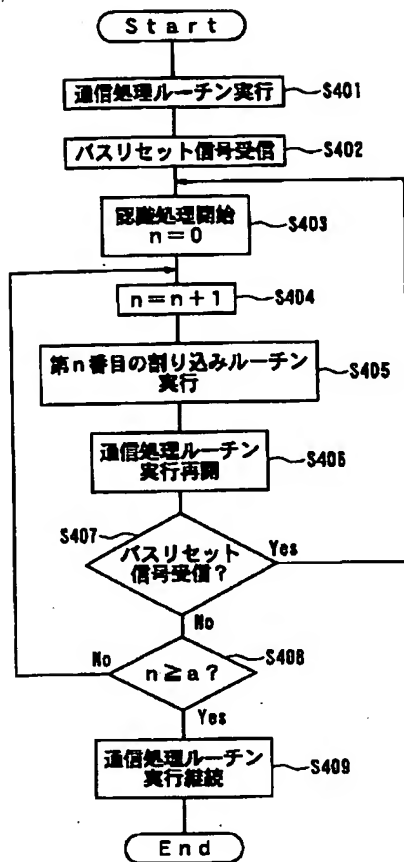
[Drawing 3]



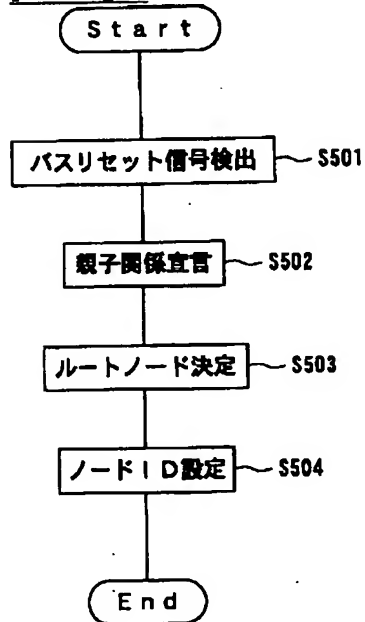
[Drawing 2]



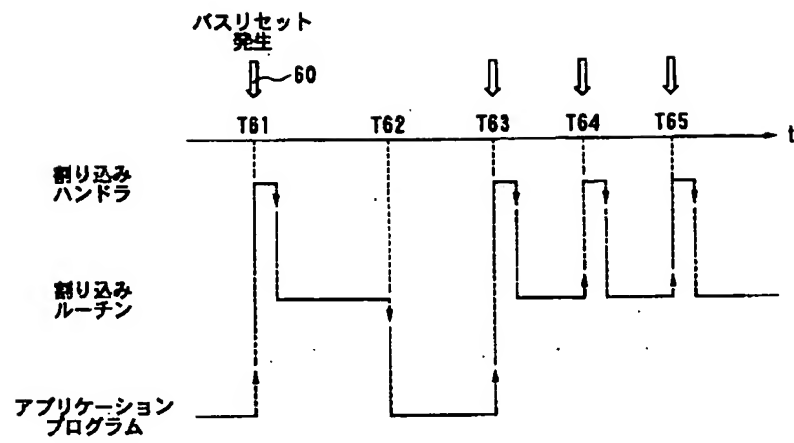
[Drawing 4]



[Drawing 5]



[Drawing 6]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-91625

(P2002-91625A)

(43) 公開日 平成14年3月29日(2002.3.29)

(51) Int.Cl. ⁷	識別記号	F I	テームコード [*] (参考)
G 0 6 F 1/24		G 0 6 F 11/14	3 1 0 L 5 B 0 2 7
11/14	3 1 0	G 1 1 B 20/10	D 5 B 0 5 4
G 1 1 B 20/10		G 0 6 F 1/00	3 5 0 B 5 D 0 4 4
H 0 4 L 12/28		H 0 4 L 11/00	3 1 0 D 5 K 0 3 3

審査請求 未請求 請求項の数12 O L (全 10 頁)

(21) 出願番号 特願2000-276711(P2000-276711)

(22) 出願日 平成12年9月12日(2000.9.12)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 山内 功次

神奈川県横浜市保土ケ谷区神戸町134番地

ソニー・エルエスアイ・デザイン株式会

社内

(74) 代理人 100092152

弁理士 服部 毅哉

Fターム(参考) 5B027 AA05 BB04 CC04

5B054 AA03 AA13 BB20 CC03

5D044 BC01 CC04 HL01 HL11

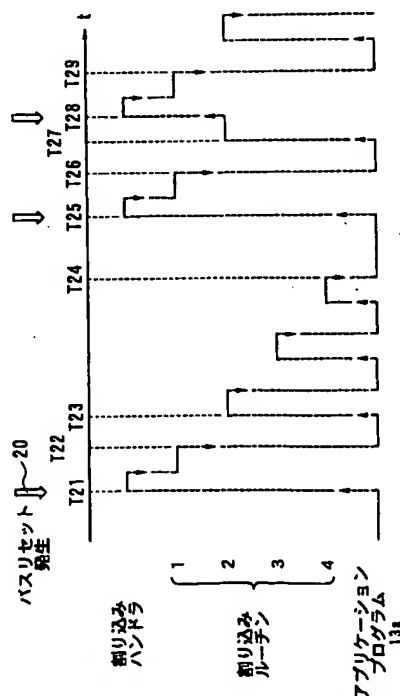
5K033 AA09 BA01 BA04 DB15 EC01

(54) 【発明の名称】 バスリセット処理方法、情報処理装置および記録媒体

(57) 【要約】

【課題】 連続的にバスリセットが発生した場合に、バスリセット発生時に実行されていた処理が異常停止することを防ぐ。

【解決手段】 アプリケーションプログラム13aの実行中、タイミングT25においてバスリセットが発生すると、割り込みハンドラが起動され、第1の割り込みルーチンが実行される。タイミングT26において、第1の割り込みルーチンの実行が終了し、アプリケーションプログラム13aの実行が再開され、タイミングT27において、第2の割り込みルーチンが実行される。タイミングT28で再びバスリセットが発生した場合、再び割り込みハンドラが起動され、第1の割り込みルーチンが実行される。タイミングT29において、アプリケーションプログラム13aの実行が再開され、以後、各割り込みルーチンとアプリケーションプログラム13aの実行が繰り返され、アプリケーションプログラム13aの実行に戻る。



【特許請求の範囲】

【請求項1】 所定のバスを介して電子機器が接続された情報処理装置におけるバスリセット処理方法において、

前記バスを介してバスリセット信号を検出すると、所定の処理ごとに分割されて前記電子機器の認識処理を行う複数の割り込みルーチンを、それぞれ間隔をあけて実行することを特徴とするバスリセット処理方法。

【請求項2】 分割された前記各割り込みルーチンの実行終了から次の前記割り込みルーチンの実行へ移行する間に、前記バスリセット信号の検出時に実行していた処理を引き続き実行することを特徴とする請求項1記載のバスリセット処理方法。

【請求項3】 前記各割り込みルーチンは一定時間間隔で実行されることを特徴とする請求項1記載のバスリセット処理方法。

【請求項4】 前記割り込み処理ルーチンによる全処理が終了する前に前記バスリセット信号を再び検出した場合は、前記割り込みルーチンの初期処理から再び実行することを特徴とする請求項1記載のバスリセット処理方法。

【請求項5】 前記バスはIEEE1394規格に準拠したシリアルバスであることを特徴とする請求項1記載のバスリセット処理方法。

【請求項6】 所定のバスを介して電子機器が接続され、また、前記バスにおける通信動作の評価処理を行う動作評価装置が前記バス以外のインタフェースを介して接続された情報処理装置におけるバスリセット処理方法において、

前記動作評価装置からの送信要求信号に応じて前記バスの動作状況を示すデータを送信する通信処理を実行中に、前記バスを介してバスリセット信号を検出すると、所定の処理ごとに分割されて前記電子機器の認識処理を行う複数の割り込みルーチンを、それぞれ間隔をあけて実行し、前記各割り込みルーチンの実行終了から次の前記割り込みルーチンの実行へ移行する間に、前記通信処理を再び実行することを特徴とするバスリセット処理方法。

【請求項7】 前記各割り込みルーチンは一定時間間隔で実行されることを特徴とする請求項6記載のバスリセット処理方法。

【請求項8】 前記割り込み処理ルーチンによる全処理が終了する前に前記バスリセット信号を再び検出した場合は、前記割り込みルーチンの初期処理から再び実行することを特徴とする請求項6記載のバスリセット処理方法。

【請求項9】 前記バスはIEEE1394規格に準拠したシリアルバスであることを特徴とする請求項6記載のバスリセット処理方法。

【請求項10】 前記インタフェースはRS-232C

規格に準拠するインタフェースであることを特徴とする請求項6記載のバスリセット処理方法。

【請求項11】 所定のバスを介して電子機器が接続された情報処理装置において、

前記バスを介してバスリセット信号を検出すると、前記バスに接続された前記電子機器の認識処理を、所定の処理ごとに分割して行う認識処理手段と、

前記認識処理手段による各認識処理を一定時間間隔で実行させ、前記各認識処理の実行が終了すると次の前記認識処理の実行を開始するまで、前記バスリセット信号の検出時に実行されていた処理を実行するように制御する制御手段と、

を有することを特徴とする情報処理装置。

【請求項12】 所定のバスを介して電子機器が接続された情報処理装置におけるバスリセット処理プログラムを記録したコンピュータ読み取り可能な記録媒体において、

前記バスを介してバスリセット信号を検出すると、前記バスに接続された前記電子機器の認識処理を、所定の処理ごとに分割して行う認識処理手段、

前記認識処理手段による各認識処理を一定時間間隔で実行させ、前記各認識処理の実行が終了すると次の前記認識処理の実行を開始するまで、前記バスリセット信号の検出時に実行されていた処理を実行するように制御する制御手段、

としてコンピュータを機能させることを特徴とするバスリセット処理プログラムを記録したコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、所定のバスを介して電子機器が接続された情報処理装置におけるバスリセット処理方法、およびこの情報処理装置に関し、特に、所定のバスを介して電子機器が接続され、また、このバスにおける通信動作の評価処理を行う動作評価装置が、このバス以外のインタフェースを介して接続された情報処理装置におけるバスリセット処理方法に関する。

【0002】

【従来の技術】近年、家庭用のデジタルビデオ装置の登場等により、動画データや音声データ等の情報量の大きなデータをリアルタイムに転送する必要性が生じている。このような大量のデータの高速転送が可能なシリアルインタフェースの規格として、IEEE (the Institute of Electrical and Electronic Engineers) 1394インタフェースが知られている。このIEEE1394インタフェースは、既存のパソコン用周辺機器をはじめとして、デジタルビデオ装置等の家電製品間の接続や、LAN、パソコンの内部バス等に広く利用可能である。

【0003】IEEE1394シリアルバス（以下、1

394バスと略称する)を用いて構成されるネットワークシステムでは、各機器(ノード)間は1394バス用のツイストペアケーブルで接続される。各ノードはそれぞれIDを有し、互いにIDを認識し合うことによって、1394バスで接続された範囲において、1つのネットワークを構成する。また、1394バスはプラグ・アンド・プレイ機能に対応し、ケーブルをノードに接続するだけで自動的にノードを認識し、接続状況を認識する機能を有している。例えばネットワークからあるノードが外された、あるいは新たに追加したとき等には、これ以前のネットワークの構成情報を自動的にリセット(バスリセット)して、新たなネットワークを再構築する。具体的には、接続されたすべてのノードに対してIDを再発行する。この機能によって、その時々

【0004】ここで、1394バスで接続されたノードにおけるバスリセット時の処理について説明する。図5に、ノードにおけるバスリセット時の処理のフローチャートを示す。

【0005】図5に示すフローチャートの開始時点において、ノードではバスリセット信号を常時監視している。ここで、例えばノードの接続、切り離しや、電源のオン、オフ等によりノード数に増減が生じた場合等、ネットワーク構成に変化があったとき、このネットワーク構成の変化を検知したノードによりバスリセット信号が送信される。ステップS501において、送信されたバスリセット信号を検出する。ノードでは、フィジカルレイヤにおいてバスリセット信号が受信されると、リンクレイヤにバスリセットの発生を伝達するとともに、接続された他のノードに対してバスリセット信号を中継する。このような処理が各ノードにおいて行われ、最終的にすべてのノードにおいてバスリセット信号が検出されると、次からのネットワークの再構築処理に入る。

【0006】ステップS502において、互いに直結されているノード間で親子関係が宣言される。各ノードでは、接続されている他のノードのうち親子関係が未定義であるノードが1つのみの場合に、他のノードを親とする宣言が行われる。このような宣言は、まず、実際に接続されているノードが1つのみであるリーフノードから行われ、他のノードでは、親子関係が決定されていくにしたがって接続されている未定義ノードの数が減少し、この数が1となったときに残った未定義ノードに対して同様な親子関係の宣言を行う。ステップS503において、各ノードにおいて親子関係の宣言が行われた結果、接続している未定義ノードが0となった唯一のノード、すなわち接続しているすべてのノードの親となったノードが、ルートノードと決定される。ステップS504において、ルートノードによって各ノードに対してIDが設定される。IDの設定はまずリーフノードについて行われ、その後ブランチノード、ルートノードについて行

われる。このとき、IDの数値は降順に設定され、ルートノードに一番若い数値のIDが与えられる。すべてのノードにIDが設定されると、新しいネットワーク構成が全ノードについて認識されたことになり、バスリセット処理が終了し、再びバスリセット信号の監視状態となる。

【0007】

【発明が解決しようとする課題】ところで、各ノードでは、バスリセット信号が検出されると、割り込みハンドラが起動され、上述したようなネットワークを再構成する割り込みルーチンが読み出されて実行される。このバスリセット信号を検出したときに、別の処理が実行されていた場合、割り込みルーチンの実行によってそれまでの処理は中断され、バスリセット処理が終了した後に、元の処理が再開される。例えば、あるアプリケーションプログラムがCPU上で実行されているときにバスリセット信号が検出された場合、CPUに割り込みが発生して、アプリケーションプログラムの実行は停止される。ここで、図6はこのときのCPUの動作を示すタイムチャートである。

【0008】図6では、時間tの流れに沿ってCPUで実行される処理が示されている。なお、矢印60はバスリセットの発生を意味する。このCPUでは、タイミングT61まではアプリケーションプログラムが実行されており、タイミングT61においてバスリセットが発生すると、バスリセット信号が検出されて、割り込みハンドラが起動されて割り込みルーチンが読み出され、実行される。この割り込みルーチンによって上述したようなネットワークの再構成が行われ、タイミングT62においてすべての処理が終了すると、CPUはアプリケーションプログラムの実行を再開する。

【0009】しかし、タイミングT63、64および65のように、割り込みルーチンの実行が終了する前に再びバスリセットが発生した場合、そのたびに割り込みが生じて割り込みルーチンが実行される。このため、アプリケーションプログラムの実行を再開することができない。このとき、アプリケーションプログラムによって動作されるシステムは停止状態となり、例えば、アプリケーションプログラムの実行が中断されてから、一定時間以上実行が再開されない場合、タイムアウトエラーが発生してシステムの動作を強制的に終了されることがある。また、RS (Recommended Standard) - 232C等、IEEE 1394規格以外のインタフェースを用いて他のPC (パーソナルコンピュータ) が接続され、例えば1394シリアルバスの動作評価のために、接続されたPC上で評価アプリケーションを実行し、このPCと通信を行ってデータの送受信処理を行っている場合に、バスリセットが発生するとこのPCとの通信が中断され、アプリケーション側のシステムがあたかも破綻したかのような状態になってしまう。

5

【0010】本発明はこのような課題に鑑みてなされたものであり、連続的にバスリセットが発生した場合に、バスリセット発生時に実行されていた処理が異常停止することを防ぐことが可能なバスリセット処理方法を提供することを目的とする。

【0011】また、本発明の他の目的は、連続的にバスリセットが発生した場合に、バスリセット発生時に実行されていた処理が異常停止することを防ぐことが可能な情報処理装置を提供することである。

【0012】

【課題を解決するための手段】本発明では上記課題を解決するために、所定のバスを介して電子機器が接続された情報処理装置におけるバスリセット処理方法において、前記バスを介してバスリセット信号を検出すると、所定の処理ごとに分割されて前記電子機器の認識処理を行う複数の割り込みルーチンを、それぞれ間隔をあけて実行することを特徴とするバスリセット処理方法が提供される。

【0013】このようなバスリセット処理方法では、バスリセットが発生した際に実行される処理が複数の割り込みルーチンに分割され、それぞれが間隔をあけて実行される。バスリセット発生時に他の処理が実行されていた場合、バスリセット発生によってこの処理は中断されるが、分割された各割り込みルーチンの処理終了から次の割り込みルーチンの実行までの時間に、以前の処理を引き続き実行させることができる。これによって、バスリセット発生によって中断された処理が、異常停止することを防ぐことが可能となる。

【0014】また、本発明では、所定のバスを介して電子機器が接続され、また、前記バスの動作の評価処理を行う動作評価装置が前記バス以外のインタフェースを介して接続された情報処理装置におけるバスリセット処理方法において、前記動作評価装置からの送信要求信号に応じて前記バスの動作状況を示すデータを送信する通信処理を実行中に、前記バスを介してバスリセット信号を検出すると、所定の処理ごとに分割されて前記電子機器の認識処理を行う複数の割り込みルーチンを、それぞれ間隔をあけて実行し、前記各割り込みルーチンの実行終了から次の前記割り込みルーチンの実行へ移行する間に、前記通信処理を再び実行することを特徴とするバスリセット処理方法が提供される。

【0015】このようなバスリセット処理方法では、バスリセットが発生した際に実行される処理が複数の割り込みルーチンに分割され、それぞれが間隔をあけて実行される。バスリセット発生によって、動作評価装置との通信処理は中断されるが、分割された各割り込みルーチンの処理終了から次の割り込みルーチンの実行までの時間に、通信処理を再び実行させることができる。これによって、バスリセット発生によって通信処理が異常停止することを防ぐことが可能となる。

6

【0016】さらに、本発明では、所定のバスを介して電子機器が接続された情報処理装置において、前記バスを介してバスリセット信号を検出すると、前記バスに接続された前記電子機器の認識処理を、所定の処理ごとに分割して行う認識処理手段と、前記認識処理手段による各認識処理を一定時間間隔で実行させ、前記各認識処理の実行が終了すると次の前記認識処理の実行を開始するまで、前記バスリセット信号の検出時に実行されていた処理を実行するように制御する制御手段と、を有することを特徴とする情報処理装置が提供される。

【0017】このような情報提供装置では、認識処理手段によって、バスリセットが発生した際に実行される認識処理が複数に分割され、それぞれが一定時間ごとに実行される。バスリセット発生時に他の処理が実行されていた場合、バスリセット発生によってこの処理は中断されるが、制御手段によって、分割された各認識処理の実行終了から次の認識処理の実行開始までの時間に、以前の処理を引き続き実行させることができる。これによって、バスリセット発生によって中断された処理が、異常停止することを防ぐことが可能となる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。図1に本発明のバスリセット処理方法が適用可能な情報処理装置の概略構成図を示す。

【0019】図1に示す情報処理装置1は、バス3と接続してデータ通信を行うためのインタフェース（I/F）11と、バス3を介してバスリセット信号を検出すると、バス3に接続された機器（ノード）の認識処理を行う認識処理手段12aと、複数の分割された認識処理およびその他の処理の実行を制御する制御手段12bとしての機能を実現し、また装置全体の制御をつかさどるCPU12と、アプリケーションプログラム等が格納された記憶装置13によって構成されている。この情報処理装置1は、記憶装置13等に格納された各種の処理プログラムをCPU12によって実行することによって、その処理を実現するコンピュータ装置である。認識処理手段12aおよび制御手段12bは、例えばこれらの処理を行うための処理プログラムとして記憶装置13や図示しないROM等に格納され、CPU12によって実行されることによって実現される。なお、情報処理装置1は、バス3とは異なる通信方式を用いた通信のインタフェース14を具備してもよい。このインタフェース14は例えばRS-232C規格に準拠しており、パーソナルコンピュータ（PC）4に接続されている。このインタフェース14およびパーソナルコンピュータ4については後述する。

【0020】バス3は、例えばIEEE1394シリアルバスであり、バス3に接続された電子機器2等の各ノードにはノードIDが設定され、接続されたノードの構成変更が起きると自動的にそれまでの設定がリセットさ

れて、ノードIDの再設定が行われ、各ノードにおいてネットワーク構成が再認識されるバスリセット機能を有する。このバスリセット時におけるノードの認識処理の流れは、まず検出したバスリセット信号が他のノードに対して中継され、すべてのノードにおいてバスリセット信号が検出されると、次に、互いに直結されているノード間で親子関係が宣言される。各ノードでは、接続されている他のノードのうち親子関係が未定義であるノードが1つのみの場合に、他のノードを親とする宣言が行われ、このような宣言が、まず実際に接続されているノードが1つのみであるリーフノードから、ルートノードを除くすべてのノードで行われる。このとき、最終的に自身に接続しているすべてのノードの親となった唯一のノードが、ルートノードと決定される。次に、このルートノードによって各ノードに対してIDが設定され、すべてのノードに対する設定が終了すると、バス3による新しいネットワーク構成が全ノードについて認識されたことになり、バスリセット処理が終了する。

【0021】情報処理装置1においては、バスリセットが発生すると、インタフェース11によってバスリセット信号が検出されて、認識処理手段12aによるノードの認識処理が開始される。具体的には、ROM等に記憶された認識処理を行う割り込みルーチンが読み出され、CPU12において実行される。ところで、バスリセットが発生したとき、CPU12において、例えばアプリケーションプログラム13aの実行等、他の処理が行われていた場合、バスリセット信号の検出とともにCPU12に割り込みが生じて、割り込みルーチンの実行にCPU12が占有されるため、以前の処理は中断する。このために、認識処理手段12aは、上述したような認識処理を、短時間で実行が終了される所定の処理ごとに分割し、間隔をあけて順に実行する。分割された各認識処理は、例えばタイマーハンドラの実行等によって、一定時間ごとにCPU12によって読み出され、実行される。

【0022】ここで、図2はバスリセットが発生した場合のCPU12の動作を示すタイムチャートである。図2では一例として、アプリケーションプログラム13aの実行中にバスリセットが発生した場合についての動作が、時間tの流れに沿って示されている。なお、矢印20はバスリセットの発生を意味する。このCPU12では、タイミングT21まではアプリケーションプログラム13aが実行されており、タイミングT21においてバスリセットが発生すると、バスリセット信号が検出され、割り込みハンドラが起動されて、ネットワークの認識処理を行う割り込みルーチンが読み出され、実行される。バスリセット処理ルーチンは、ここでは4つに分割されているものとする。タイミングT22において、第1の割り込みルーチンの実行が終了すると、タイミングT21で実行途中であったアプリケーションプログラム

13aの処理ルーチンから、処理が再実行される。タイミングT23において、今度は第2の割り込みルーチンが読み出されて実行され、アプリケーションプログラム13aの実行は中断される。以下、同様に第2の割り込みルーチン、アプリケーションプログラム13a、第3の割り込みルーチン、アプリケーションプログラム13a、第4の割り込みルーチンが順に実行され、タイミングT24において、割り込みルーチンによるノードの認識処理が終了して、再びアプリケーションプログラム13aが実行される。

【0023】このように、バスリセット発生時にアプリケーションプログラム13aが実行されていた場合、複数に分割された認識処理手段12aによる認識処理が順に実行され、各認識処理の間でアプリケーションプログラム13aが実行されるように、制御手段12bによって制御される。これによって、バスリセット発生による認識処理中にも、それまで実行されていたアプリケーションプログラム13aは次の処理へ移行することが可能となる。

【0024】次に、バスリセットが短い間隔で連続的に発生した場合のCPU12の動作について説明する。図2において、アプリケーションプログラム13aが実行されているときに、タイミングT25においてバスリセットが発生すると、バスリセット信号が検出され、割り込みハンドラが起動されて、第1の割り込みルーチンが読み出されて実行される。タイミングT26において、第1の割り込みルーチンの実行が終了すると、アプリケーションプログラム13aの実行が再開される。タイミングT27において、今度は第2の割り込みルーチンが読み出されて実行される。ここで、タイミングT28で再びバスリセットが発生した場合、再び割り込みハンドラが起動されて、第1の割り込みルーチンが実行される。タイミングT29において、第1の割り込みルーチンの実行が終了し、アプリケーションプログラム13aが実行され、以後、同様に各割り込みルーチンとアプリケーションプログラム13aの実行が繰り返され、認識処理の終了後に通常の実行に戻る。

【0025】このように、割り込みルーチンによるノードの認識処理が終了する前に再びバスリセットが発生した場合でも、制御手段12bによるルーチンの実行に対する制御によって、複数に分割された認識処理の間に、アプリケーションプログラム13aが必ず実行される。このため、すべての認識処理が終了する前にバスリセットが連続的に発生した場合でも、それまで実行されていたアプリケーションプログラム13aは長時間停止状態となることがなく、次の処理へ移行することが可能となり、例えばタイムアウトエラーを生じてアプリケーションプログラム13aの実行が異常停止することを防ぐことができる。

【0026】ところで、このようなバスリセット時の処理は、他の機器との通信処理中においても適用することができる。図1に戻って説明すると、情報処理装置1は、バス3とは異なる通信方式を用いたインタフェース14を具備し、このインタフェース14を介して外部のパーソナルコンピュータ4が接続されているものとする。パーソナルコンピュータ4において、例えば情報処理装置1のインタフェース11やバス3に接続されたノードの動作状況を監視して、これらのデータを表示して評価する評価プログラムが実行されている場合、情報処理装置1では、パーソナルコンピュータ4からの送信要求のデータを受信し、これに応じて、CPU12の処理によってインタフェース11が保有する、または受信する各種のデータを読み出して、パーソナルコンピュータ4に対して送信する通信処理が行われる。パーソナルコンピュータ4に送信されるデータは、例えば、バス3に接続されているノードの個数や、インタフェース11のレジスタデータや通信データ内容等であり、パーソナルコンピュータ4では、これらのデータを受信して、例えば図示しない表示手段を用いてインタフェース11の状況をリアルタイムで表示する。

【0027】このようなシステムでは、パーソナルコンピュータ4において表示されるデータがリアルタイムで更新されるため、パーソナルコンピュータ4と情報処理装置1とは逐一通信が行われている必要がある。このようなシステムで、バス3に接続されたノードによってバスリセットが発生した場合、上述したアプリケーションプログラム13aの実行中の場合と同様に、分割されたノード認識処理用の各割り込みルーチンの実行の間に、パーソナルコンピュータ4との通信処理を行うことが可能となる。したがって、すべての認識処理が終了する前にバスリセットが連続的に発生した場合にも、割り込みルーチンの実行によって通信処理が長期間停止することではなく、パーソナルコンピュータ4側では表示が異常停止して、あたかもシステムが破綻したかに見える状態となることがない。

【0028】また、バス3に接続された例えば電子機器2等のノードとの間で、通信処理が行われているときにバスリセットが発生した場合は、割り込みルーチンによるすべての認識処理が終了するまでは、接続されたノードの認識が不可能なために、通信処理を再開することはできない。しかし、CPU12では、分割された割り込みルーチンの実行の間に、例えばバスリセット処理中である旨を図示しない表示装置によって表示するための処理を行うこと等が可能である。これによって、情報処理装置1のユーザは、電子機器2との通信処理が一時停止中であり、その原因がバスリセット発生によるものであることを認識することが可能となる。

【0029】次に、本発明の具体的な実施例としてバス3における動作状況を監視して評価するバス3の動作評

価システムを用い、このシステムにおけるバスリセット処理について説明する。図3に動作評価システムの概要構成例を示す。

【0030】動作評価システム10は、IEEE1394シリアルバス（以下、1394バスと略称する）3aを介して電子機器2aおよび2bが接続されたターゲットデバイス5と、ターゲットデバイス5とIEEE1394規格以外の通信インタフェースを用いて接続されたパーソナルコンピュータ（PC）4によって構成される。この動作評価システム10では、パーソナルコンピュータ4において動作評価プログラムを実行することによって、ターゲットデバイス5における1394バス3aとの通信処理を制御して動作状況を監視し、評価を可能にする。なお、ターゲットデバイス5とパーソナルコンピュータ4との接続は、ここでは例としてRS-232C規格に準拠した通信インタフェースを用いるが、これに限定されるものではない。

【0031】ターゲットデバイス5は、1394バス3aに接続してデータの送受信を行うIEEE1394インタフェース（以下、1394インタフェースと略称する）51と、ターゲットデバイス5の制御をつかさどるCPU52と、CPU52を動作させる各種の制御プログラムが格納されたROM53と、CPU52が各種の処理を実行する上において必要なデータやプログラム等が適宜記憶されるRAM54と、RS-232Cケーブル6に接続してデータの送受信を行うRS-232Cインタフェース55によって構成される。このターゲットデバイス5は、ROM53に格納された制御プログラムをCPU52によって実行することによって、1394インタフェース51およびRS-232Cインタフェース55を介して外部機器と通信を行う等の処理を行う情報処理装置であり、例えば、デジタルビデオ装置や光ディスク装置等の家電製品や、これらを統合的に制御するセットトップボックス、およびパーソナルコンピュータ等のコンピュータ装置等である。

【0032】1394インタフェース51はレイヤ構造で実現され、1394バス3aの接続コネクタを具備するポート51aと、入出力信号のエンコードおよびデコード処理を行うPHY（Physical Layer Protocol）51bと、パケットデータの送受信を行うLINK51cによって構成される。PHY51bは、1394バス3a、ポート51aを介して受信したパケットデータをデコードしてLINK51cに出力するとともに、LINK51cから供給されたパケットデータをエンコードしてポート51aに送信する。LINK51cは、PHY51bから供給されるパケットデータに含まれるデータを抽出し、これをCPU52に出力するとともに、送信データをパケット化してPHY51bに出力する。なお、ポート51aを介して接続される電子機器2aおよび2bは、例えばデジタルビデオ装置や光ディスク装置

等の家電製品、これらを統合的に制御するセットトップボックス、プリンタ等のコンピュータ周辺機器、およびパーソナルコンピュータ等のコンピュータ装置等であり、いずれもIEEE1394規格に準拠した通信インタフェースを具備する。

【0033】一方、パーソナルコンピュータ4は、パーソナルコンピュータ4の制御をつかさどるCPU41と、CPU41を動作させる各種の制御プログラムが格納されたROM42と、CPU41が各種の処理を実行する上において必要なデータやプログラム等が適宜記憶されるRAM43と、RS-232Cケーブル6に接続してデータの送受信を行うRS-232Cインタフェース44と、ターゲットデバイス5から受信した各種のデータを表示するモニタ45と、1394バス3aの動作評価プログラム等の各種処理プログラムやデータが格納される補助記憶装置であるハードディスク46によって構成される。

【0034】パーソナルコンピュータ4は、ハードディスク46に格納された1394バス3aの動作評価プログラムをCPU41によって実行することによって、ターゲットデバイス5と通信を行い、1394インタフェース51による1394バス3aを介した通信処理の制御を行う。これによって、パーソナルコンピュータ4では、ターゲットデバイス5におけるレジスタデータや、1394バス3aに接続されている電子機器2aおよび2b等のデバイスの個数、これらのデバイスとの通信内容等のデータを受信する。モニタ45では、このようなターゲットデバイス5からの受信データとともに、ターゲットデバイス5とのデータ送受信操作が可能なGUI (Graphical User Interface) 画像が表示される。ターゲットデバイス5とは逐一通信が行われ、モニタ45における受信データの内容は、ターゲットデバイス5における1394バス3aを介した通信状況に応じてリアルタイムに更新されて、ユーザはパーソナルコンピュータ4を用いて1394バス3aの通信状況を監視し、これを評価することができる。

【0035】ターゲットデバイス5では、RS-232Cインタフェース55を介してパーソナルコンピュータ4と逐一通信を行い、パーソナルコンピュータ4から送信される制御信号に基づいて、ROM53に格納されている1394バス3aの通信制御プログラムをCPU52で実行することによって、1394バス3aを用いた通信が制御される。1394インタフェース51では、パーソナルコンピュータ4からのデータ送信要求に基づき、CPU52による制御によって、自身の送受信状況や他のデバイスとの接続状況に関するデータが出力され、これらのデータがパーソナルコンピュータ4に対して送信される。

【0036】ここで、1394バス3aにおけるネットワーク構成の変化によってバスリセットが発生すると、

ターゲットデバイス5はROM53に格納された割り込みハンドラが起動し、バスリセット処理プログラムがCPU52によって実行されて、以下のような1394バス3a上のノードの認識処理が行われ、ネットワークが再構成される。すなわち、バスリセット発生によって、1394バス3aよりバスリセット信号が送信されると、CPU52はこれを受信するとともに接続された他のデバイス(ノード)に対して中継する。すべてのノードにおいてバスリセット信号が検出されると、次に、互いに直結されているノード間で親子関係が宣言される。各ノードでは、接続されている他のノードのうち親子関係が未定義であるノードが1つのみの場合に、他のノードを親とする宣言を行い、このような宣言が、まず実際に接続されているノードが1つのみであるリーフノードから、ルートノードを除くすべてのノードで行われる。このとき、最終的に自身に接続しているすべてのノードの親となった唯一のノードが、ルートノードと決定される。次に、このルートノードは各ノードと通信し、IDを設定する。すべてのノードに対する設定が終了すると、1394バス3a上のネットワーク構成が再認識されたことになり、バスリセットに対する処理が終了する。

【0037】このようなバスリセット処理プログラムによる割り込みルーチンが実行されている間、パーソナルコンピュータ4との通信は一時的に停止する。動作評価システム10では、このバスリセット処理プログラムを所定の処理ごとに複数の割り込みルーチンに分割されており、割り込みハンドラによって、各割り込みルーチンの実行の間に、パーソナルコンピュータ4との通信処理ルーチンの実行が再開されるように制御する。割り込みハンドラは、各割り込みルーチンを一定時間ごとに読み出し、実行させる。これによって、すべてのバスリセット処理が終了する前に、1394バス3aにおいてバスリセットが連続的に発生した場合に、パーソナルコンピュータ4のモニタ45に表示された通信状況のデータの更新が停止し、動作評価システム10が異常停止状態となることを回避する。

【0038】ここで、図4にバスリセットが発生した場合のターゲットデバイス5における動作のフローチャートを示す。ステップS401において、CPU52ではパーソナルコンピュータ4との通信制御プログラムによる任意の通信処理ルーチンが実行され、パーソナルコンピュータ4からの制御信号に基づいて、通信を行っている。また、これとともに、1394インタフェース51を介して、バスリセット信号を常時監視している。ステップS402において、1394バス3aよりバスリセット信号を受信する。ステップS403において、CPU52は割り込みハンドラを起動してノードの認識処理が開始される。ここでn=0として、割り込みハンドラによるノードの認識処理を行う割り込みルーチンの読み

出し処理を初期化する。なお、ここでは割り込みルーチンがa段階に分割されているものとする。ステップS404において、 $n = n + 1$ とし、ステップS405において、ノードの認識処理を行う第n番目の割り込みルーチンを読み出してこれを実行する。ステップS406において、第n番目の割り込みルーチンによる処理が終了すると、ステップS402のバスリセット信号受信時において実行されていた通信処理ルーチンから実行が再開され、パーソナルコンピュータ4との通信処理が行われる。なお、このときまず、パーソナルコンピュータ4に対してバスリセット発生を通知するデータを送信した後、通信処理ルーチンを実行してもよい。

【0039】ステップS407において、この通信処理の実行時に再度バスリセット信号を受信すると、ステップS403に戻り、再び割り込みハンドラを起動してノードの認識処理を始めから行う。また、ステップS407の時点でバスリセット信号が受信されない場合は、ステップS408に進み、nが割り込みルーチンの分割数a以上であるかどうか判断される。n < aの場合はすべての割り込みルーチンが終了していないので、ステップS404に進んでnの値に1を加算し、ステップS405~407における次の段階の割り込みルーチンの実行、パーソナルコンピュータ4との通信処理ルーチンの実行再開、バスリセット信号の検出処理が行われる。これらの処理は、ステップS405において第a番目の割り込みルーチンが実行されるまで繰り返され、ステップS408において $n \geq a$ となったとき、割り込みルーチン実行によるノードの認識処理がすべて終了したことになり、ステップS409に進んで、通信処理ルーチンが継続して実行される。

【0040】以上のように、上記の1394バス3aの動作評価システム10におけるバスリセット発生時のノード認識処理では、複数の分割された各割り込みルーチンの実行終了から次の割り込みルーチンの実行開始までの間に、パーソナルコンピュータ4との通信処理が必ず実行される。このため、割り込みルーチンによるノードの認識処理がすべて終了する前にバスリセットが連続的に発生した場合、ノードの認識処理の実行中にも、パーソナルコンピュータ4との通信処理が継続され、パーソナルコンピュータ4のモニタ45上に表示された1394バス3aにおける通信状況のデータは更新され続ける。これによって、パーソナルコンピュータ4ではターゲットデバイス5との通信が長時間にわたって異常停止し、あたかもシステム破綻状態となることを防ぐことが可能となる。また、各割り込みルーチン実行の間を利用して、パーソナルコンピュータ4に対してバスリセット発生を通知するデータを送信することができ、このデータをモニタ45上で表示することによって、パーソナルコンピュータ4のユーザは、ターゲットデバイス5との通信の一時的な停止や、データ更新速度の低下が生じて

も、この原因がバスリセット発生処理であることを明確に認識することが可能となる。

【0041】なお、上記のバスリセット処理内容は、コンピュータで読み取り可能な記録媒体に記録されたプログラムに記述しておくことができる。そして、このプログラムをコンピュータで実行することにより、上記処理がコンピュータで実現される。コンピュータで読み取り可能な記録媒体としては、磁気記録装置や半導体メモリ等がある。市場に流通させる場合には、CD-ROMやフロッピー（登録商標）ディスク等の可搬型記録媒体にプログラムを格納して流通させる、あるいは、ネットワークを介して接続されたコンピュータの記憶装置に格納しておき、ネットワークを通じて他のコンピュータに転送することもできる。コンピュータで実行する際には、コンピュータ内のハードディスク装置等にプログラムを格納しておき、メインメモリにロードして実行する。

【0042】

【発明の効果】以上説明したように、所定のバスを介して電子機器が接続された情報処理装置における本発明のバスリセット処理方法では、バスリセットが発生した際に実行される処理が複数の割り込みルーチンに分割され、それぞれが間隔をあけて実行される。バスリセット発生時に他の処理が実行されていた場合、バスリセット発生によってこの処理は中断されるが、分割された各割り込みルーチンの処理終了から次の割り込みルーチンの実行までの時間に、以前の処理を引き続き実行させることができる。これによって、バスリセット発生によって中断された処理が、異常停止することを防ぐことが可能となる。

【0043】また、所定のバスを介して電子機器が接続され、また、このバスにおける通信動作の評価処理を行う動作評価装置がこのバス以外のインタフェースを介して接続された情報処理装置における本発明のバスリセット処理方法では、バスリセットが発生した際に実行される処理が複数の割り込みルーチンに分割され、それぞれが間隔をあけて実行される。バスリセット発生によって、動作評価装置との通信処理は中断されるが、分割された各割り込みルーチンの処理終了から次の割り込みルーチンの実行までの時間に、通信処理を再び実行させることができる。これによって、バスリセット発生によって通信処理が異常停止することを防ぐことが可能となる。

【0044】さらに、本発明の情報提供装置では、認識処理手段によって、バスリセットが発生した際に実行される認識処理が複数の分割され、それぞれが一定時間ごとに行われる。バスリセット発生時に他の処理が実行されていた場合、バスリセット発生によってこの処理は中断されるが、制御手段によって、分割された各認識処理の実行終了から次の認識処理の実行開始までの時間に、以前の処理を引き続き実行させることができる。こ

15

れによって、バスリセット発生によって中断された処理が、異常停止することを防ぐことが可能となる。

【図面の簡単な説明】

【図1】本発明のバスリセット処理方法が適用可能な情報処理装置の概略構成を示す図である。

【図2】バスリセットが発生した場合のCPUの動作を示すタイムチャートである。

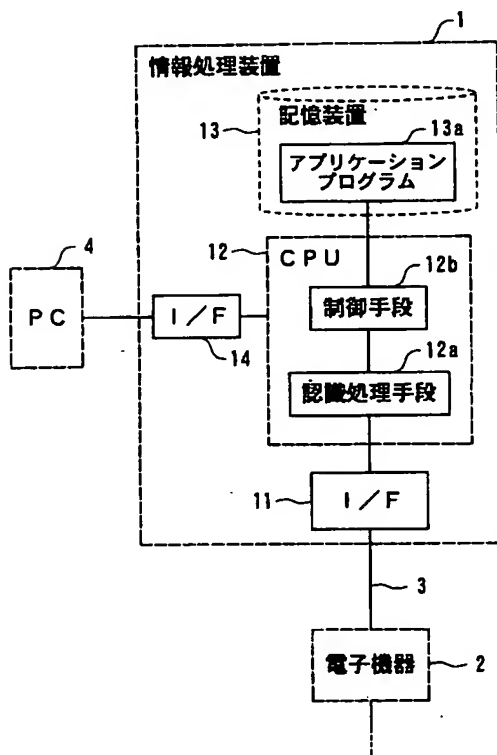
【図3】動作評価システムの概要構成例を示す図である。

【図4】バスリセットが発生した場合のターゲットデバイスにおける動作を示すフローチャートである。

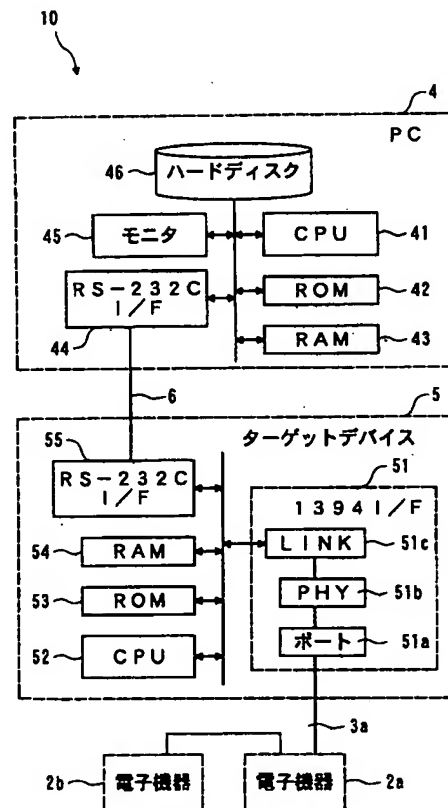
【図5】ノードにおけるバスリセット時の処理を示すフローチャートである。

【図6】アプリケーションプログラムの実行時にバスリセット信号が検出された場合のCPUの動作を示すタイムチャートである。

【図1】



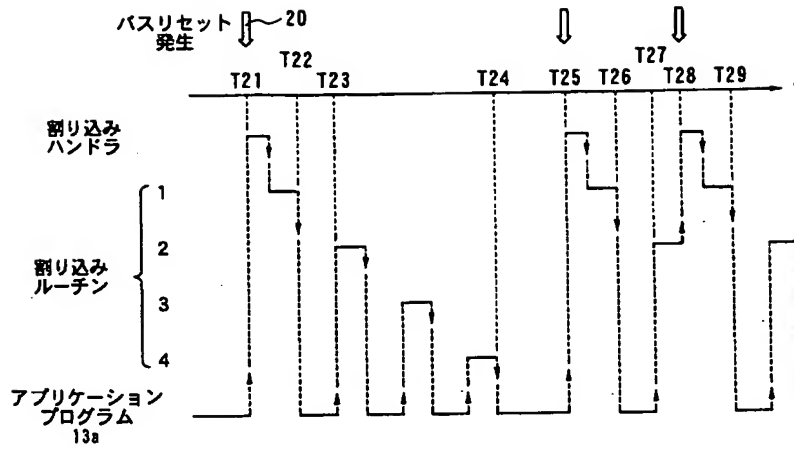
【図3】



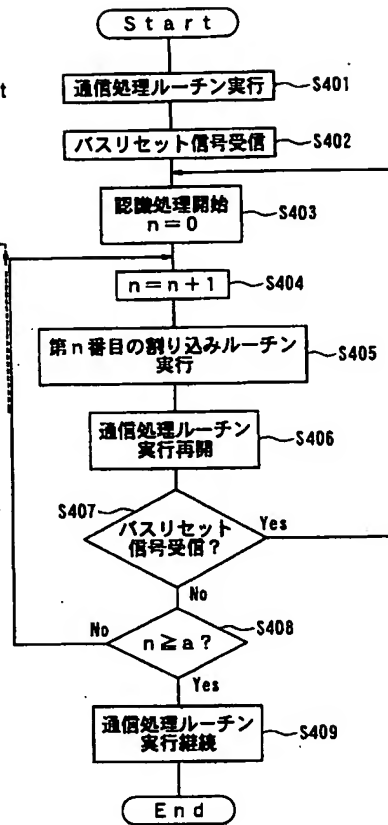
【符号の説明】

1……情報処理装置、2、2a、2b……電子機器、3……バス、3a……IEEE1394シリアルバス、4……パーソナルコンピュータ、5……ターゲットデバイス、6……RS-232Cケーブル、10……動作評価システム、11……インタフェース、12……CPU、12a……認識処理手段、12b……制御手段、13……記憶装置、13a……アプリケーションプログラム、14……インタフェース、41……CPU、42……ROM、43……RAM、44……RS-232Cインタフェース、45……モニタ、46……ハードディスク、51……IEEE1394インタフェース、51a……ポート、51b……PHY、51c……LINK、52……CPU、53……ROM、54……RAM、55……RS-232Cインタフェース

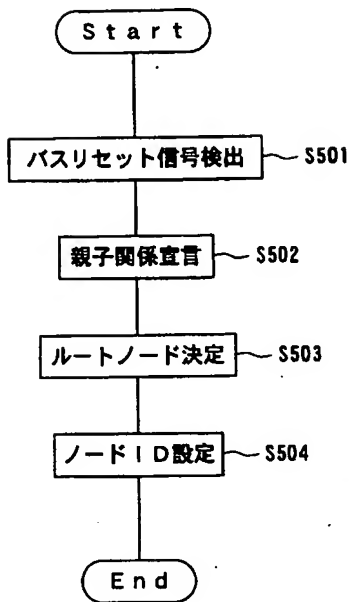
【図2】



【図4】



【図5】



【図6】

